PATENT ABSTRACTS OF JAPAN

(11) Publication number:

08223970 A

(43) Date of publication of application: 30 . 08 . 96

(51) Int. CI

H02P 6/18

(21) Application number: 07028510

(71) Applicant:

SONY CORP

(22) Date of filing: 16 . 02 . 95

(72) Inventor:

TANINA MASAJI

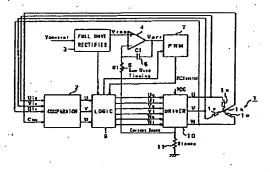
(54) MOTOR DRIVE

(57) Abstract:

PURPOSE: To obtain a motor drive in which the counter electromotive force can be detected even when PWM driving is carried out and direct PWM drive can be realized.

CONSTITUTION: In the sensor type motor drive, a logic section 9 detects the ON section of a PWMin signal delivered from a PWM circuit 7 and the counter electromotive force is taken in from each phase coil 1U, 1V, 1W of a three- phase motor 1 during the ON section thus detected.

COPYRIGHT: (C)1996,JPO



公職公 (12) 公開特許

(11) 体附出四公阳 49

特開平8-223970

(43)公閏日 平成8年(1896)8月30日

技格政宗	3718
	8/02
ъ.	H02P
广内这型芯号	
CONTRA	
	8/18

H 0 2 P (51) Inta.

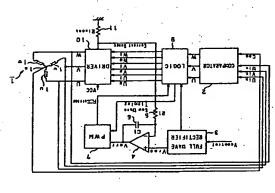
(年 23 年) 的独的球 未的來 的故境の以多 01

(21)出四年号	特四平7—28510	(1) 無四人	(71) 曲包人 000002185
			ソニー体式会社
(22) 出版日	平成7年(1995)2月16日	,	以联结品川区北岛川 6 丁目 7 在35 号
		(72) 兜明岩	谷名 正次
			対域協品川区北島川6丁目7巻35号 ソニ
•			一株式会社内
		(74) 代因人	并包土 小池 妈 (外2名)
	*		
	- '.		

モーク国の独口 (54) [発明の名称]

ロジック町9が、PWM回路7からのPWM In 信号の オン区間を役出し、このオン区間で3相モータ1の各相 コイル1U, 1V, 1Wからの各逆起包圧の取り込みを 【44以】 センサレス方式のモータ即句技匠において、

[効果] PWM四位を行っているにも関わらず逆起包 圧を検出することが可能となり、ダイレクトP WM駆動 を可能とすることができる。



特許請求の範囲

|排水項1| 複数相を有するモータの各相にあらわれ 5 各逆战電圧と、モータの中性点の電圧であるコモン電 圧とをそれぞれ比較する比較手段と、

上記モータの回転エラー信号に基ろいて、貸モータを回 短駆助するためのパルス値変関信号を出力するパルス値 変調手段と、

上記パルス低変闘手役からのパルス低変関信号のパルス 幅が最小となる位置を検出する最小パルス配検出手段 上記録小さルス昭検出手段により上記さルス昭変調信号 の最小パルス幅が検出されるタイミングで、上記比較平 役からの各比数出力をサンプルホールドするサンプルホ 上記サンプルホールド手段からの各サンプルホールド出 力に基づいて、上記モータを回転駆動するモータ駆動手

を有するモーク駆動装配。

上記に段手役からの各比数出力の排伍的路運和を投出す 【情求項2】 上記サンアルホールド半段は、 る財他的問題和發出事級と、

イミングで所定パルス昭のマスク信号を形成するととも ミングで上記跡他的設理和後出手役からの跡他的設理和 出力に宜畳するキックパックノイズを除去して出力する こ、このマスク信号により該各相への通过切り数えタイ 上記各相への通転切り換えタイミングを被出し、このタ マスク処理手段と、

エッジ及び立ち下がりエッジを検出するエッジ検出手段 上記マスク処理手段からのマスク処理出力の立ち上がり

上的エッジ校田年段からのエッジ校田田力に頼ん、トト 記比較手段からの各比較出力をサンプリングするサンプ リング年段と、 上記サンプリング手段からのサンプリング出力を、逆乱 **処圧の取り込みを行う相以外はサンプルホールドして出** カナるホールド手段と、

で格成されていることを特徴とする請求項1記数のモー 居包從町 【前米項3】 上記エッジ後出手役かちのエッジ後出出 上記サンプリング手段は、上記遠近手段からの遺延出力 グして上記ホールド手段に供給することを特徴とする切 かに所定時間分の退近処理を施して出力する退延手段を に組ん、トト記れ数手役からの各名数出力をサンゲリン

【田状四4】 上記エッジ被田甲段からのエッジ被田田 力、或いは、上記遠近手段からの遠延出力の供給の有無 を検出し、はエッジ検出出力或いは過延出力が所定時間 供給されなかった場合、上記ホールド手段の内容を可変 して、上記モータの各相への通燈状態を切り換え樹御す

東項2配位のモータ昭由技匠。

特累平8-223970

ම

5通법状態切り換え制御手段を有することを特徴とする

南東項3配銀のモータ原物装置。

手段からのマスク処理出力の立ち上がりエッジ及び立ち 【財本項5】 上記エッジ後出手段は、上記マスク処理 Fがりエッジを貸出するとともに、現在の通程状態を検 出し、この現在の過程状態に組んされてに供給されるマ スク処理出力のエッジが立ち上がりエッジか立ち下がり エッジかを予測し、 上記通営状態切り換え制御手段は、上記エッジ後出手段 において、予測されたエッジ以外のエッジが依田された 場合に、上記ホールド手段からの出力を反応することに より、各相への通点状態を切り数え制御することを特徴 とする的水項4配位のモータ駆動装置。 【発明の詳細な股別】

0001

光磁気ディスク、コンパクトディスク等の円盤状配砂煤 プレコーダ技匠、ビデオカメラ装置、カメラ装置与のモ **ータを有するわらゆる機器に適用して好函なモータ邸**勧 核四に関し、伸に、いわゆるセンサレスモータにおける 体の配母装置,再生装置,配像再生装置や、ビデオテー |歴芸上の利用分野||本発明は、例えば斑気ディスク。 ダイフクトバルス信贷品階句(ダイフクト B WM路包) を可能としたモーク駆動装置に関する。

[0002]

00Vに軽減を供給すると、頃U相コイル5000及び V相コイル500Vはトルクを発生するように切くため eータとして作句するが、及るW指コイル500Wは逆 ライブ方式のモーク駆動装置は、このようにして各相コ (ル5000, 500V, 500Wにそれぞれ発生する 史起包圧に基づいてロータの回転位置を検出し、収各相 [従来の技術] 従来、<u>図24</u>に示すようなセンサレスド ライブ方式のモーク型切装置が知られている。例えば3 間モータ500のU相コイル500∪及びV相コイル5 5発色描となり逆起色圧を発生する。上記センサレスド **コイル500U, 500V, 500Wの通貨状態を切り** 食人制御して回転制御を行うものである。

は、上記フィルタ回路501を介して比較器502に供 Winは、それぞれフィルタ回路501を介して比較器 502に供給される。また、3相モータ500の中性点 [0003] すなわち、上記各相コイル5000, 50 0V, 500Wから発生する逆起程圧UIn, VIn, の質用できるコキン粒子のOgのコキン質用COM はされる.

[0004] 上記フィルタ回路501は、巡立点に示す ような供成を有しており、上記し相コイル5000から の遊覧専用リョルは、抵抗516a及びコンデンサ51 5。また、上記V相コイル500Vからの逆起程圧V; nは、抵抗516a及びコンデンサ516bで僻成され るローパスフィルタ516に供給され、上記W相コイル 5 b で格成されるローパスフィルタ 5 1 5 に供給され

[0025]本男別は上述の問題為に紹みてひされたものであり、毎任変換回路507を投げることなくセンサレス方式におけるPWAM関節を可能とし、また、フィルタ回路を設けることなくキックバックノイズによる問か作を防止し、さらに、遊覧電圧の取り込みを改善して紹った相への過程を訪して、モータの起助特性等を改善することができるようなモータ駆砂製匠の関供を目的とす。

[0026]

「保証を承決するための事象」本義明に係るモータ短切 設団は、複数組を有するモータの各相にあらわれる各連 と対圧と、モータの中性点の担圧であるコモン超圧を それぞれ比較する比較年級と、上記モータの回転エラー 信号に近づいて、以モータを回転窓回するためのバルス 経変関信号を出力するバルス結変関事役と、上記バルス 経変関信号を出力するバルス結変関事役と、上記バルス 経変関信号を出力するバルス結変関事役と、上記バルス 経変関音段からのバルス結び国告段とを有する。 また、上記役小バルス結び出手のラインが不一が「お記バルス は母手段からの名比が出力をサンブルホールド中後か フルホールド田段と、上記サンブルホールド中後からの キャンブルホールド出力に基づいて、上記モータを回転 駆動するモータ駆動事役とを有する。

[0027]また、本発明に係るモータ駆助装置は、上 記サンブルホールド年段として、上記比較年段からの各 比欧出力の排他的路理和を核出する排他的路理和検出手 このタイミングで所定パルス個のマスク信号を形成する とともに、このマスク信号により収各相への通戯切り換 **大タイミングで上記券他的設理和後出手扱からの耕他的 協理和出力に 政虫するキックバックノイズを除去して出** スク処理出力の立ち上がりエッジ及び立ち下がりエッジ のエッジ役田田力に基づいて上記的数手段からの各比数 出力をサンプリングするサンプリング平段と、上記サン プリング年段からのサンブリング出力を、遊戯包圧の数 り込みを行う相以外はサンプルホールドして出力するホ カナるマスク処理事役と、上記マスク処理事役からのマ を後出するエッジ後出手段と、上記エッジ後出手役から 役と、上記各相への適点切り扱えタイミングを被出し、 一ルド年段とで始成されるものを有する。

[0028]また、本規則に係るモータ原因対策団は、上記エッジ後出年役からのエッジ後出出力に所定時間分の超近処理を指して出力する過速手段を有する。この担心にサンブリング手段は、上記技が手段からの過速出力に占って上記は改手段からの各世段出力をサンプリングして上記が一かド手段に供給する。

【のの29】また、本発明に係るモータ駆的装置は、上記セッジ後出事後からのエッジ後出出力、或いは、上記超年名からの遅起出力の供給の有償を後出し、既エッジ後出出力が「不定時間供給されなかったジ後出出力ないは違信出力が「不定時間供給されなかった

複合、上記ホールド年級の内容を可収して、上記キータの合相への通信状態を切り換え明御する通信状態が切換え 1を指しの通信状態を切り換え明御する通信状態切り換え影響事及を指する [0030]また、本発的に係るモータ駆動数数は、上記エング数由事役として、上記マング処理年段からのマスク処理年段からのマスク処理出力の立ち上がりエッジ及び立ち下がりエッジを後出するとともに、現在の通電状態を後出し、この現在の通ば状態と及出し、この現在の通ば状態に基づいて次に採結されるマスク処理出力のエッジが立ち上がりエッジが立ち上がりエッジが立ち上がりエッジが立ち上がりエッジが立ち上がりエッジが立ち上がりエッジが登出されたが合に、十記さきが終出されたエッジ以外のエッジが後出されたが合に、十記さールド年段からの出力を反応することにより、各権への通路状態を切り数え影響するものを有する。

[0031]

(作用) 本規則に係るモーダ駆動技能は、加数組を有するモータから俗もれる各連経費圧に基づいてロータの回 GG位配を検出し、このロータの回転値に応じて連載状態を切り数え間的する、いわゆるセンサレス方式のモータ駆動技費であり、比較手段が上記モータの各組にあられる各連経費圧と、モータの中性点の整圧であるコモン程圧を全れぞれ比較する。また、バルス低度的手段が、上記モータの回転エラー信号に基づいて、ばモータを回転駆けるためのパンが深度関係を表成して出力・を回転駆動するためのパンスが深度関係を表成して出力・

[0032] 及からなる傾倒事象は、上部される循環 関単後からのいなる値質関係等のいなる値が最小となる 位置を放出する。このいなる値が最小となる位置は、パ ルス値変関信号がオンする類階を示す。サンプルボール ド平級は、パルス値変関信等の最小パルス値が検出され るタイミングで、上記出処事後からの各比反出力をサン ブルボールドすることにより逆能管圧を検出する。そし て、モーク原因事像が、上記サンブルボールド年段から の各サンブルボールド出力であるも相の逆能電圧、基づいて、上記モールド曲の音

[0033] これにより、パケス低級関係を行り正確接 モータを図むするダイレクトPWA端面を可能とするこ とができる。 【のの34】具体的には、上記サンプルホールド半段 は、静色的包型や放出半段、マンク処理半段、エッジを 出半段、処理半段、サンプリング半段及びホールド半段 で発成されている。 [0035]上記券他的知道や位用祭は、上記比較等級からの各比の出力の物性的問題和を始出し、これをマスク知道手級に供給する。上記マスク処理年級は、上記マインが経済に、このタイミングで所定パルス部のマスク信号を形成するともに、このマスク信号により収み組への通程切り換えタイミングで上記券他的協議を出して登せるキックパックイイズを保由する。上記エッジ検出年級は、上記マスク処理

手段からのマスク処理出力の立ち上がりエッジ及び立ち 下がりエッジを復出し、これをサンプリング手段に供給 する。上記サンプリング手段は、上記エッジ検出手段か らのエッジ検出出力に基づいて上記は改享扱からの合比 欧出力をサンプリングする。そして、ホールド手段が、 上記サンプリング手段からのサンプリング出力を、逆起 単圧の取り込みを行う相以外はサンプルホールドして出 力する。これにより、上記ダイレクトPWM歴的を可能 [0038] にこで、上記モータとして終ぎキーグを用いた場合、コイルイングクツンスによる原山政党の退れを指正するために適應位相を含少塩めることが終まして、このため、本場明に属るキーク原団技圏は、退価事務が、上記エッジ後出手袋からのエッジ後出出力に所を時間分の退伍地温を指し、これを上記サンプリング事段に供給する。上記サンプリング手段は、上記遠道事袋からの登垣出力に再心、て上記は数手袋からの各世設出力をサンプリングして上記ホール・ド手袋に供給する。これにより、上記コイルイングクケンスによる駆的電流の高、れた補正して、正路なタイミングで遊覧電圧の聴り込みを行うことができる。

[0037] 次に本籍別に係るモータ駆む装配は、適性状態のり換え制御手袋が、上記エッジ後出手袋からのエッジ後出出力、取いれ、上記追揮手袋からの退虚出力の供給の有無を後出する。上記エッジ後出出力取いれ上記程出力が保給されないということは、現在の通應状態ではモータが回位していないことを示す。このため、適度状態切り換え制御手袋は、上記エッジ後出出力立いは経過近出力が所定時間供給されなかった場合、上記ホールド手袋の内容を可愛して、上記モータの名間への適度状態を切り換え制御する。これにより、モータの起助存在を改算することができる。

[0038] 次に、本発用に係るモータ節的接倒は、上記ェンジ後由年級が、上記マスク処理手段からのマスク処理事務からのマスク処理事務からのマスク処理用であってもしても上が、単在の通数状態を検出し、この現在の当時状態を放出し、この現在の当時状態を放出し、この現在の当時状態を放出し、この現在のコッジが対しました。とかが上記が自己にしていることを示す。このため、上記通供機切り放え側が再段は、上記ェッジ検出す事段において、予認されたエッジが外のエッジが検出す事段において、予認されたエッジが外のエッジが検出す事段において、予認されたエッジが外のエッジが検出されたが、存出していることを示す。このため、上記がよりによりが表しまれたエッジが外のエッジが検出された対象に、上記ホールド再級からの出力を反応することが、状に正確な方向にモークを回回課題する。これにより、状に正確な方向にモークを回回課題することがネキス

[0039]

【英祐的】以下、本発明に係るモータ原効状団の実施的 について、図面を参照しながら詳細に視明する。

について、図面を存服しながら詳細に投明する。 【0040】本発明の実施例に係るモータ解助技匠は、

いわゆるセンサレス方式のモーク駆動が置であり。(近) に示すように3相モータ1の中性点に発生する程圧であるコモン経圧COMを基印として、U相コイル10, V 相コイル10, W相コイル1Wに発生する各連起度圧し in, Vin, Winをそれぞれ比較する比較器2と、上記3相モータ1の回転サーが指身 (Veantal) を同談整流し、これを基準信号Vracとして出力するとともに、上記回転サーが信号のマイナス入力時に3相モータ1に回転プレーキをかけるためにリバース信号を出力する函数接近回路3とを有している。 【0041】また、上記モータ駆動装倒は、上記基準借号Vc。c及び後に取明する上記34年ータ1を回応駆動するための駆動道を住抗ち及びコンデンサ 6で信分処理した値を比較する比較け4と、上記比較詳4からの比較信号Vorrに基かいてバルス結変関信号(PW Carrier)を出力するPWM回路7とを有している。

[0042] また、上記キータ駆動技術は、上記PWM 回路7からのパルス循変関信号、上記中投験まからの分 比較信号し、V、W及び上記再改選流回路3からのリバース信号に基づいて、上記PWM回路7を探助するとを もに、ドライバ10を駆動するためのコントロール信号 しu、U1、Vu、V1、Wu、W1を形成して出力するロジック部9と、上記ロジック部9からのコントロール信号 しu、U1、Vu、V1、Wu、W1に応じて上記3相キーグ1の駆励するドライバ10と、上記3相キーグ1の駆励技術を成圧のかたちで検出し、上記3相キーグ1の駆励技術を成圧のかたちで検出し、これを上記 経済5及ビョンデンケ6からなる前分回路を介して比較 報4に供給する環境を検出を使ける。

【0043】 次にこのような場点を有する本実施的に成るモータ型的技型の助作以明をする。まず、上記3相モータ 1において、例えばU相コイル1 U及UV相コイル1 Vに包袱を供給すると、ばU相コイル1 U以 V を対生するように防くためモータとして作助するが、殺さが相コイル1 Wは逆に弱粒地とかび逆に対圧を発生する。本実施的に係るモータ回応数の は、この名相コイル1 U, 1 Wに発生する逆程度 は、この名相コイル1 U, 1 V, 1 Wに発生する逆程度 に応じて適点状態を切り換え風効し。1 を回応期は再

[0044] 具体的には、上記各相コイル1U, 1V. 1Wから発生する<u>図2</u> (a) に示すような遊覧費任Ui n, Vin, Win及び3相モータ1の中性点の程圧で あるコモン協子1 aのコモン包圧COMは、それぞれ生 数器2に供給される。 [0045]上記比欧器2は、<u>送引</u>に示すようにし相用、V組用、W相用の3つの比較器2a~2。で中点されており、上記コモン単圧COMは基準単圧としてぼ今比較器2a~2。に供給される。また、上記逆程改圧し inは低値を介してU相用の比較器2aに供給され、上記逆程改正し inは低値を介してU相用の比較器2aに供給され、上記逆程改正し

のDelay工信号は、上記各相コイルU、V,Wへの通政 るがこの3フェーズロジック部28において、上記各逆 B柱圧Uin, Vin, Winのサンプリングパルスと ウントしたタイペングや1、シアス部の約21(1)に示す ンターナルクロックの1周期は7.6度であるため、上 記インターナルクロック4カウントすることにより、上 BSSD Exor 信号を包欠角30度分返班させた上記Delay 切り換えのタイミングやハイレベルとなり、上記3フェ hている。このため、上記第1のANDゲート23hか 512、上記3D Exor 信号を4インターナルクロック分カ T信号を形成することができる(劉弘(a) 啓闕)。こ ーズロジック町28に供給される。そして、後に税明す 送する。 第1のANDゲート23hには、 類4のシフト レジスタ 2 3 4 の出力と、 策 5 のシフトレジスタ 2 3 e からのインバータ 23 gにより皮配された出力が供給さ ようなDelayT信号を形成する。上述のように、上記イ した無いられる。

[0068] 第2のANDゲート23 jには、第4のシフトレジスタ23 dの出力と、第6のシフトレジスタ23 fからのインバータ23 iにより反応された出力が供給されている。このため、上記第2のANDゲート23 jからは、502 (i) に示すように2インターナルクロック分のパルス値をおてしまい、モータの通程タイミングに支援をくしてぎると逆径母圧のゼロクロスがイントまでマスク地型されてしまい、モータの通程タイミングに支援を含たす。このため、本実結例の場合、上記第1のマスク信号のパルス値を含たす。このため、本実結例の場合、上記第1のマスク信号のパルス値12インターナルクロック分、すなわち、電気角で15度となるように股度されている。この第1のマスク信号は、上述のように上記マスク回路21に供給され、キックパックノイズのマスク知遇に用いら

[0069] また、このタイムディアイ部23において、窓6のシフトレジスタ23 [からの出力は、上記館10をスク信号がローレベルとなるに同時にハイレベルとたり、以下に以時するスターク部24を凹作させるためのトリガ (Flus信号) としてばスターク部24に

[0070]上記スターク田24は、図9に示すように上記50 Exor 信号でリセットされ上記インターナルクロックをカウントする第1~第6のカウンタ24a、24 bからの台田力の協理信をして第3のカウンタ24 に供給する第1のANDゲート24 [と、第1~第3のカウンタ24 に供給する第1のANDゲート24 [と、第1~第3のカウンタ24 にでいる。また、第1~第4のカウンタ24 aに供給する第2のANDゲート24 & とを指している。また、第1~第4のカウンタ24 a ことももおりの協理信をして「概ちのカウンタ24 a に供給する第3のANDゲート24 & とを指している。また、第1~第4のカウンタ24 a に供給する第3のANDゲート24 b と、第1~第4のカウンタ24 a に供給する第3のANDゲート24 b と、第1本第6のカウンタ24 a に供給する第3のANDゲート24 b と、第1本第60カウンタ24 a に供給する第3のANDゲート24 b と、第1本第60カウンタ24 a に供給する第3のANDゲート24 b と、第1本第60カウンタ24 a に供給する第3のANDゲート24 b と、第1本第60カウンタ24 a に

する第4のANDグート241と、上記第4のANDグート241からの出力をインターナルクロックに基づいて同様に、これを通路パターンを改り数えるためのStep 信号 におとして出力するDフリップフロップ241とをおしている

GF1ug作号は周期的にスタータ部24に供給される **場合や回転が停止している状態では上配F1u8倍号は** ータ部24は、上記ハイレベルのFlug信号が供給さ 8~24 8により上記インターナルクロックを倒えば3 32カウントするまでにSD Exor 信号が供給されない場 [0071] 上記3相モータ1が回転している場合、上 はずかもる。しかし、包えば殴った右コイルに通貨した スターケ部24に供給されなくなる。このような状態で れるタイミング、すなわち、逆配政圧をサンプリングし 通程を切り換えた直後から結功し、上記各カウンタ24 2カウントする。そして、上記インターナルクロックを このStep 信号は、上記3フェーズロジック部28に供 **り、いつまでも起助されないうえ、坂通貫される相コイ** ルが坩偽する等の不都合を生ずる。このため、上記スタ 合は、上記3相モータ1が停止しているものとみなし、 次の通信パターンとするためのStep 旧号を出力する。 は、同じ相コイルに函統して通机を行うこととなるた

【0072】また、このスターグ節24は、上記遊戯戦 年のゼロクロスポイントが微出され上記50 Evor 信号に よって各カウンタ24a~24aがリセットされること により助作が停止する。 [0073]なお、上記インターナルクロックのカウント版(この込合32カウント)は、3相モータ1のトルク定数や位成となるイナーシャに応じて設定される。このため、この数値に確定されることなく設計に応じた任意の値を設定すればい。

[0074] 次に、上記3フェーズロジック部28は、 後に詳しく取明するが、上記DolayT信号に基づいても 遊覧包圧し、V、Wをサンプリングし、この各サンプ 出力である逆髪包圧Ures , Vres , Wres を形成し、 これちをデコーダ節28に供給する。

(0075)上記デューグ部29は、<u>図10</u>に示すようなは成を有しており、<u>図1</u>に示すドライベ10に設けられているU相コイル用の上日トランジスクをオンオフ解的するための第10コントロール信号してを形成するUに信号形成部36と、U相コイル用の下日トランジスクをオンオフを関するための第20コントロール信号V以スクをオンオフを関するための第30コントロール信号Vuを形成するVu信号形成部37と、V相コイル用の下部トランジスクをオンオフを関するための第40コントロール信号Vuを形成するVu信号形成部37と、V相コイル用の下部トランジスクをオンオフを関するための第40コントロール信号Viを形成するVu信号形成部37と、V相コイル用の下部トランジスクをオンオフを関するための第50コントロール信号Viを形成するVu信号形成部3

信号形成的39と、W相コイル用の下部トランジスタをオンオフ慰仰するための第6のコントロール信号W1を形成するW1信号形成的40とを有している。また、上記デコーダ的29は、各相コイルし、V、Wの遊覧型匠の変化があらわれるタイミングで研究期間・イレベルとなるU相用、V相用、W相用の第3のマスク信号 (Mas k3-4) & 形成する第1~第3の0 Rグート29 a ~ 29 c と、上記3フェーズロジック制28からの遊覧単圧Uras、Vras、Wrasをそれぞれ反応して出力する第1~第3のインバーチ29 a ~ 29 a 「を者している。

【0076】上記Uu信号形成部3514、上記遊覧電圧 Uras 、第2のインパータ29 eにより反応された遊覧 電圧Vras 及び第3のインパータ29 により反応された逆覧 電圧Vras 政は第3のインパータ29 により反応され に逆配電圧Wras が供給されるANDゲート35 a と、 上記逆配電圧Uras 、第2のインパータ29 eにより反 記された逆配電圧Vras 及び逆配電圧Wras が供給され るANDゲート35 bと、上記4ANDゲート35 a、 35 bの各出力の協理和を上記第1のコントロール信号 Uuとして出力するORゲート35 cとでは成されてい

【0078】上記Vu信号形成部37は、上記第1のインバータ294を介した遊覧費匠Urss, 遊覧費匠Vrss 及び第3のインバータ29により仮範された遊覧電 EWrss が供給されるNDグート37aと、上記遊覧費匠Urss, 上記遊覧費匠Vrss 及び上記第3のインバータ29により反応された逆覧項匠Wrss が供給されるNDゲート37bと、上記令NDゲート37a、37bの名出力の設理和を上記第3のコントロール信号Vuとして出力するORゲート37a、

[0079] 上記V: (位号形成的38は、上記第1のインバータ29 4により反応された逆起程圧Urss,上記第2のインバータ29 6により反応された逆起程圧Vrss 3.2のゼンベータ29 9により反応された逆起程圧Vrs 2.4上記逆程性圧Vrss 1に第2のインバータ29 9により反応された逆程程圧Vrss 2.4上記逆程性圧Vrs 2.4上記第2のインバータ29 9により反応された逆程程圧Vrss 2.4上記が名は正Vrssが、供給されるNDグート38 bの合出力のは遅わた上記第4のコントロール信号V:として出力するORグート38 e、とでは力するORグート38 e、とて出力するORグート38 e、とでは力するORグート38 e、として出力するORグート38 e、とではA

されている。

[0080]上記Wu信号形成部38は、上記第1のインバータ294により反応された逆起避圧Urss,上記第2のインバータ29。により反応された逆起避圧Vrs。 及び逆起避圧Wrss が供給されるANDグート39aと、上記第1のインバータ294により反応された上記逆程強圧Urss,上記をANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bと、上記各ANDグート39bととで規模されている。

|0081| 上記が1倍号形成部40は、上記逆起電圧 Ures、上記第2のインパータ296により反応された 逆程電圧Vres 及び上記第3のインパータ29 により 反応された逆起電圧Wres が供給されるANDグート4 0aと、上記逆起電圧Wres,上記逆程電圧Vres 及び 上記第3のインパータ29 により反応された逆程電圧 Wres が供給されるANDグート40bと、上記各AN ログート40a,40bの各出力の陰違和な上記第6の コントロール信号W!として出力するORゲート40c とで規模されている。 【0082】上記第1のORグート29mには、Vu信号形成的37のANDグート37bの出力と、Wu信号形成的39のANDグート39mの出力とが供給されており、貸名出力の路環和をとることにより第3のマスク信号 (Masat-0)を形成して出力するようになっている。

[0083] 上記第2のORゲート29bには、Uuff 争形成的35のANDゲート35sの出力と、Wuff等 形成的39のANDゲート39bの出力とが供給されて おり、Ufも出力の協理和をとることにより第3のマスク 情号 (Mast3-v)を形成して出力するようになってい [0084] 上記第3のORゲート29には、Vu信号形成部37のANDゲート37aの出力と、Uu信号形成部35のANDゲート35bの出力とが供給されなり、以各出力の路環和をとることにより第3のマスク信号 (Masia-9) を形成して出力するようになってい

[0085] このような卓成を有するデコーダ節29 は、上記各逆起電圧Urss. Vrss. Wrss で卓成される上述の第1~第6の通程パターンに基づいて上記各相の上配トランジスタ及び下面トランジスタをオンオフ制御する第1~第6のコントロール信号Uu~Wiを形成 [0086] Yなわち、デューグ節29に供給される存 斑皮粒圧Urss、Vrss、Wrssが近。(k)~ (m) にみす類1の道程パターン(H. L. H) 及び第2の道 種パターン(H. L. L) であるときは、上記Uu信号 形成期36からこの個パイレベルとなる同図(f)に示

6、48、60がそれぞれ政府状態となり、インバータ46。全介した上記W用レジスタ28 kからの原電出が出ロアジスタ28 kからの原電出がはロアジスタ28 kからの原電出がはロアジスタ28 kからの原電出がメインバータ48。全介した上記U用レジスタ28 iからの原電出ががV用レジスタ28 iからの原温出がW用レジスタ28 iからの原温出がW用レジスタ28 kに採結され、スタ28 kに採結され、スタ密図回路60からW用レジスタ28 kに採結され、スタ密図回路60からW用レジスタ28 kに採結され

【0109】にれにより、上記各レジスタ281~28kららの出力を次の通程パターンの出力とすることができる (ステップ送り)。このようなステップ送りは、上記3個モータ1かほ的され、上記3kの信号が供給されなくなるまで扱けられる。これにより、超勤時に確実にの回应を開始させることができ、起助物性を改善することができる。

こ支障をきたす問題があった。しかし、当成モータ駆動 英俊では、DolbyT信号によりゼロクロスポイントから るようにしているため、逆方向回転時においても正確な 281~28kに保持することができる。そして、咸逆 が何回回時に、上記Invert倍争に組むいて各レジスタ2 8 i ~2 8 kの内容を極性反転して出力するようにして いるため、ほ逆方向回転時に正確なタイミングで検出さ れた逆結粒圧Ures , Vres , Wres を出力することが でき、正确な過程タイミングで3相モータ1を逆方向回 [0111] これにより、上配各レジスタ281~28 kからの出力を全て逆方向の回転用に反応して出力する ことができる。従来は、逆方向回転時となると、校出さ れた各逆起質圧とコモン質圧COMとの比較出力を導に **密性反応して出力したいたため、圧陥が過数タイミング** 30 既退れたタイペングでも遊戯的用をサンプリングナ タイミングでも逆 超色圧を サンプリングして名 ワジスタ 記数句することができる。

| 0 1 1 2 | このように上記3フェーズロジック部28で形成された上記各述程程圧Ures、Vres、Wres は、それぞれ上述のデコーダ部2 9に供給され、ほデコーダ部2 9において、上記各相の上個トランジスタ及び下びトランジスタをオンオフ級関するための第1 ~ 短8 のコントロール信号 U u ~ Wi に分離されアウトブットのコントロール信号 U u ~ Wi に分離されアウトブット

コントローラ30に供給される。

ス倍号 (Reverse), 中央改算ユニット (CPU) 符で |0114| 上路PLL回路25は、巡12に示すよう ッジディテクタ 2 2から供給されるSD Exor 信号の位相 ステムクロック (PLL Out 信号) を、1 / Nカウンタ 5 形成されたホータのオンオン制御するためのホータオン オア数御佰身 (MOV/OFF), PLL回路26からのシス テムクロック (PLL Out 信号) , オシレータ26からの 例えば500KHェのメインクロック (Main Clock) 及 UPWM回路7からのPWM信号 (PWM in)に結びい な構成を有しており、位相比数器55において、上記エ と、粒圧可変型発振器 (VCO) 57から出力されるシ n)の位相とを比較する。そして、この位相比較出力を ローパスフィルタ56を介してVCO51に供給しては 佰号に同期したPL Out 佰号を形成して上記タイミング [0113] ここで、巡覧に示すように上記タイミング コントローラ27は、上配成改強液回路3かちのリバー て、各種タイミング伯号を形成するようになっている。 8で例えば8分周或いは16分周した分周信号(Fi VCO57を発振駆動する。これにより、上記SDExor コントローラ27に供給することができる。

と、上記ANDゲート62からの出力を2カウントする 第2のカウンタ61bと、上記第1のカウンタ61aか カウント出力Q2との数理招をとるANDゲート62a **第3のカウンダ61cと、上記カウント出力Q1, Q2** 及び第3のカウンタ61 cかちのカウント出力口3の協 力する路4のカウンタ61 4とを有している。この各カ ウンタも1a~61dは、全体で16当むカウンタを構 成しており、母妹的に待られるカウント田力の4は、メ [0115] 上記タイミングコントローラ27は、<u>倒し</u> 3に示すようにオシレータ26からのメインクロックを 2カウントする第1のカウンタ61mと、上記第1のカ ウンタ61 aからのカウント出力Q1を2カウントする ちのカウント出力Q1及び類2のカウンタ61 bからの 現役をとるANDゲート62bと、上記ANDゲート6 2 もからの出力を2カウントしてカウント出力の4を出 インクロックを16分周したものとなっている。

13、上記タイミングコントローラ27 13、上記タウント出力 G1、インパータ G 3 a により G 配されたカウント出力 G2、カウント出力 G3 及びカウ ンド出力 G4 の強型領をとる ND ゲート G4 a と、イ ンパータ G3 b により 反応されたカウント出力 G1 及び カウント出力 G2 2 G4 の強型領をとる ND ゲート G 4 b と、カウント出力 G1 で G4 の協議領をとる ND ゲート G ゲート G4 c とを有している。

【0117】また、上記タイミングコントローラ27 は、上記PWM回路7からのPWM指号(PWM in) 及び上記ANDゲート64bの出力の路建領をとるAN Dゲート65aと、インバータ68cにより反続された ANDゲート64bの出力及びDフリップフロップ66

の出力との路環団をとるANDゲート65 bと、各ANDゲート65 a, 65 bの路環和をとるORゲート65 dと、近ORゲート65 dの出力をメインクロックに高分いて同類化するDフリップフロップ 66 bと、近Dフリップフロップロップ 14において上記両段強減回路3からのリバース信号に基づいて形成された逆方向遠程を行うためのR。 は信号の路理和をとることにより、後に説明するショートブレーキと逆方向遠程プレーキとを切り換えるためのプレーキと逆方向違程プレーキとを切り換えるためのプレーキを切り換え信号 (PWMAGGSbort/Nav)を形成して出力するORゲート68とを右している。

[0118]また、上記タイミングコントローヲ27 は、上記モータオンオブ粉部信号(MOWOFF)及びAN ロゲート64cの出力の路理留をとるANDゲート69 aと、インバータ69により反応されたANDゲート 64cの出力及びDフリップフロップ70の出力の路理 箱をとるANDゲート69 bと、各ANDゲート69 a、69bの各出力の路理和をとるORゲート69 た、ばORゲート694の出力をメインクロッグに基づ いて同様化するDフリップフロップ70と、ばDフリッ プフロップ70からの出力をメインケロッグに基づ で四対化するDフリップフロップ70と、ばDフリッ プフロップ70からの出力及びインバータ72 [からの 反応出力の路理程をとことにより、後に説明する質涵 超減を防止するためのアクトプットオープン信号を形式 して出力するANDゲート71とを有している。

【0119】また、上記タイミングコントローラ27 は、インパータ72cにより反応されたロフリップフロップ ップ74からの反応Rev信号及びロフリップフロップ 75からの出力の協連預金とるANDゲート72aと、 上記ロフリップフロップ74からのRev信号及びインパータ72aによりでプロップ74からのRev信号及びインパータ72aにより反応されたロフリップフロップ75からの反応出力の論理預金とるANDゲート72bと、 4ANDゲート72a、72bの各出力の論理和をとるGRゲート72bと、 GLC上記ANDゲート71に供給するインパータ72 fとを有している。

[0120] また、上記タイミングコントローラ27 は、南遊路流回路3から供給されるリバース信号及UA NDグート64aの出力の路道領をとるNDグート7 3aと、インバータ73cにより反応されたANDグート64aの反応出力及び上記Rev信号の経過信をとるANDグート73bと、上記令ANDグート73aと、上記・メインクロックに基づいて上記のRグート73dと、上記・メインクロックに基づいて上記のRグート73dからの出力を同類化することによりRev信号を形成するDフリップフロップ14と、同項に上記メインクロックに基づいて上記ロフリップフロップ14と、同項に上記メインクロックに基づいて上記ロフリップフロップ14とを指している。[0121] また、上記タイミングコングコントローラ27

成するロフリップフロップ16と、上記Dフリップフロップ16からのSaw Fave上信号を反応することによりSaw Fave上信号を反応するインペータ11とを有している。このSaw Fave上信号及びSaw FaveH信号は、Saw Faveかくミング信号として上記PWM回路1に供給

[0122] また、上記タイミングコントローラ27 は、上記PLL回路25からのPLO ONI 信号及UAND ゲート64からの出力の論理債をとるANDゲート78 aと、インベータ78cにより反応されたANDゲート 64cの反応出力及UDフリップフロップ79の出力の 論理債をとるANDゲート78bと、上記各ANDゲート78a、78bの協理役をとるORゲート78bと、上記名ANDゲート78a、78bの協理がをとるORゲート78dと、 ばORゲート78dの出力をメインクロックに基づいて 同類化するDフリップフロップ79とを有している。

[0123] また、上記タイミングコントローラ271は、上記Dフリップフロップ19の出力をメインクロックに基づいて回路にするDフリップフロップ80た、上記Dフリップフロップ78からの出力及びインバータ810により反応されたDフリップフロップ80からの反応出力の論理値をとることにより、逆起電圧を放出するためのPWM on 信号を反応することによりインターナルクロックを形成して出力するインバータ810とを有している。

[0124] このような構成を有するタイミングコントローラ27において、まず、図14 (a) に示すようなメインクロックが第1のカウンタ61aに供給されると、ば第1のカウンタ61aは、これを2カウントして両図(b) に示すようなメインクロックを1/2分周したカウント出力の1を形成し、これを第2のカウンタ61bは、上記第2のカウンを11bは、上記カウント出力の1を2カウントで32.

(c) に示すようなメインクロックを1/4分回したカウント出力Q2を形成し、これをANDグート62aを介して努3のカウンタ61cに供給する。上記第3のカウンタ61cに供給する。上記第3のカウンタ61cに供給する。上記第4のント十万4.上記第4のカウンを1/54インクロックを1/8分回したカウント出力Q3を形成し、これをANDグート62bを介して第4のカウンタ61dに供給する。上記第4のカウンタ61dは、上記カウント出力Q3を形成する。この各カウント出力Q1つQ4は、それそれNDグート64cに供給される。また、上記カウント出力Q1は、インペータ63により反応されANDグート64bに供給される。また、上記カウント出力Q1は、インペータ63により反応されANDグート64bに供給される。

[0125] このように、第1~第4のカウンタ61a ~61bを用いてメインクロックを分別することによ

クに基づいて同類化することによりSaw WaveL 信号を形

は、上記ANDゲート84bからの出力をメインクロッ

るANDゲート89aと、上記デコーが街29から供給 された第6のコントロール信号Wi及び上記Rev信号 一ト898, 895の各出力の論理和をとるORゲート 上記インバータ30gを介したRev信号の論理預をと の論理信をとるANDゲート89bと、上記各ANDゲ 89cとで構成されている。

上記デコーダ節29から供給された第6のコントロール 部2 9から供給される第5のコントロール信号Wu及び 信号Wi及び上記インパータ30aを介した上記Rov 信号の路型値をとるANDゲート90bと、上記各AN ロゲート90m、90bの各出力の福運やをとるORゲ [0146] 上配Wi信号形成钢90は、上配デコーグ 上記R e v 信号の協理領をとるANDゲート90aと、 ート90 cとで毎点されている。

[0147] そして、上記ANDゲート91aは、上記 ゲート30 b, 30 dの論理資をとって第1のコントロ 一小信号ひぃを出力し、上記ANDゲート91bは、上 記り:信号形成形86の〇Rゲート86c及び上記名の Rゲート30b, 30dの論理預をとって第2のコント Uu信号形成部85のORゲート85c及び上記名OR ロール信号UIを出力するようになっている。

Vi信号形成部88のORゲート88c及び上記各OR u信号形成部81のORゲート87c及び上記名ORゲ 小信号V uを出力し、上記ANDゲート92bは、上記 ゲート30b, 30dの論題債をとって第4のコントロ [0148] ± c. LEAND 7-192 att. LEV **ート30b,30dの胎環債をとって祭3のコントロー** 一ル信号Viを出力するようになっている。

1(信号形成部89の〇Rゲート89~及び上記名〇Rゲ v信号Wuを出力し、上記ANDゲート936は、上記 ゲート30 b, 30 dの論理徴をとって知らのコントロ [0149] ** LEAND -+93 alt. LEW Wi信号形成铅90のORゲート90c及び上記各OR 一ト30b,30dの陰道復をとって第5のコントロー ール信号Wiを出力するようになっている。

93bにおいて、上記PWM回路7から供給されるPW M 〒 命中に祖んこと、上記第1〜第6のコントローグ これとともに、各相コイル1U、1V、1Wの各逆起車 圧を後出するためのPWM on 信号,貫通電流を助止す るためのOutput Open 信号、ショートプレーキと浴が向 信号及び逆方向通道を行うためのR e v 信号も P W M 変 [0150] このような構成を有するアクトプットコン ha-93011, LR&AND#-191a, 91b, 遠年プレーキとを切り換えるためのPNA 反WShort/Rev AND#-192a. 926BUAND#-193a. 信号Uu∼W IにPWM変関をかけて出力する。また、 頃をかけて出力する。

Listor1/Rev 信号及びRev信号) は、それぞれ回りに 【0151】この気1~粧6のコントロール信号ロー Wi (及UPWM on 信号, OutputOpen 信号, PTM 反

下ナドライバ部10に供給される。

94a~841と、各パッファアンプ84a~941の [0152] 上記ドライバ部10は、図13に示すよう に上記アウトプットコントロータ30からの第1~第6 Output Open 信号, PNN 反版Short/Rev 信号及びRe v 古号)をそれぞれ所定の利得で増幅するパッファアンプ のコントロール信号Uu~Wi (及びPWM on 信号, 出力段に設けられた抵抗95a~951とを有してい [0153]また、上記ドライバ部10は、上記抵抗9 ちゅにペースが接続された第1のコントロール信号Uu 97aと、上配格抗95dにペースが被焼された第4の 上記抵抗958にペースが後続された第5のコントロー 用の上層トランジスタ96aと、上記抵抗95bにベー スが被視された第2のコントロール信号ひ 1 用の下層ト **ランジスタ96bと、上記抵抗95cにベースが接続さ** れた第3のコントロール信号 N u 用の上層トランジスタ 小信号W u 用の上層トランジスタ98aと、上配抵抗9 6 「にペースが被抗された第6のロントロール信号WI コントロール信号Vi用の下溜トランジスタ97bと、 用の下層トランジスタ98bとを有している。

相コイル1U, 1V, 1Wに供給する駆動電圧を取り出 bは、3相モータ1の各相コイル1U, 1V, 1Wに供 96 m, 97 m, 98 aの各エミックは、それぞれ各下 帰トランジスタ98b,97b,98bのコレクタに後 988の各コレクタは、それぞれ電質電圧VCCに接続 されており、各下個トランジスク96b,97b,98 給する電液値を検出するための電液検出用抵抗11にそ れぞれ接続されている。また、上配各上層トランジスタ 続されており、各上個トランジスタ96a,97a,9 b. 98bのコレクタとの後親点から3相モータ1の各 8aの各エミッタと、各下層トランジスタ96b,97 [0164] 上配各上層トランジスタ96a, 97a, すようになっている。

が駆動電圧U, V. Wとして図1に示す3相モータ1の がそれぞれオンオフ慰仰される。そして、この各上層ト 係電圧VCCが、上記各接限点から取り出され、これら 98a及び舎下層トランジスタ96b,97b,98b ランジスク96a.97a,98a及ひ合下畑トランジ スタ96ち、97b、98ちのオンオフ製御に応じた電 と、これに応じて各上層トランジスク96g、97g。 [0166] このような構成を有するドライバ部10 は、上記第1~第6のコントロール信号が供給される 各相コイルIU、IV、IWにそれぞれ供給される。

コンデンサ 6からなる積分回路で積分処理され上配比較 器4に供給される。上記比較器4は、上述のように上記 1により電圧のかたちで彼出される。この電流後出抵抗 1.1により後出された駆動電圧は、それぞれ抵抗6及び 【0156】上記各相コイル1U, 1V, 1Wにそれぞ **九供給される駆動電流は、それぞれ上記電流検出抵抗1**

でき、上記3相モータ1をPWM in 信号により直接的 **え制御することができるため、ホール班子等の回転位置** rとを比較し、この比較結果をPWM in 信号(PWM り、上記ロジック部9において、上記PWM in 信号に **行じれ第1~第6のコントロール信む外形投するいとが** に回転駆動するダイレクトPWM駆動を行うことができ る。また、上記各相コイル1U, 1V, 1Wにそれぞれ 発生する逆起電圧に基づいてロータの回転位置を検出し **で収各相コイル1U, 1V, 1Wへの通電状態を切り換** 積分処理された駆動電圧と上記基準値Vrocとを比較 ng信号に基心、下形成された幅段と上記比較出力Ver 後出手段を設けることなく、3相モーク1を回転制御す 上記PWM回路7は、上述のように上記Saw Wave Timel し、この比較出力VerrをPWM回路7に供給する。 Carrier) としてロジック部9に供給する。これによ ることができる (センサレス慰勧)。

上記比較器2において上記<u>巡2</u>(a)に示すような各逆 上記ロジック部9は、上記各比較出力U, V, Wの芽色 的論理和をとることにより巡<u>念</u>(f)に示すようなExor 信号を形成する。Exor信号には、通電切り換えのタイミ ングでキックパックノイズが重要しているため、上記ロ ジック部 9は、このキックパックノイズの発生タイミン [0157]次に、本実格例に係るモータ駆動装置の動 Wを形成して上記図1に示すロジック部9に供給する。 作を通して以明すると、まず、通常回転時においては、 お筒圧Uin, Vin. Winとコモン単圧COMとを比較 し、 原図 (b) ~ (d) に示すような比較出力U, V, グ (過程切り後えのタイミング) で形成した、図2

(j) に示すような所定パルス幅の第1のマスク信号に (f) に示すようなMasked Exor 信号を形成する。 よりこのキックパックノイズをマスク処理し、同図

[0158] 次に、上記ロジック笛9は、図2 (h) に を形成するとともに、このSD Exor 信号をトリガとして 信号を形成し、このDelay工信号のタイミングで上記比 リングしてUres , Vres , Wres を形成する。このU res , Vres , Wres は、上記各レジスタ28i, 28 Wres をデコードして形成した図2 (o)~ (g) に承 すような第3のマスク信号により逆起電圧を取り込む相 (m) に示すようなUres , Vres , Wres が出力され 信号を同期徴分し同図 (g) に示すようなSD Exor 信号 個気角で30度遅れた<u>図2</u>(i)に示すようなDelayT 数器2からの名比較出力U, V, Wのいずれかをサンプ だけをサンプルホールドする。これにより、上配各レジ ホナインターナルクロックを用いて上記Masked Exor i, 28kに保存されるが、この際、Ures, Vres, スタ281, 28j, 28kからは、照立(k)~

及び下層トランジスタをオンオフ制御するための、窓名 [0159] 次に、上記デコーダ的29が、上記Ures , Vres , Wres から各相コイルの上階トランジスタ

号及UPPNA 反幅Short/Rev 信号を重畳して上記ドライバ に、上記Rev信号, Output Open 信号, PWM on 信 EUu, Ui, Vu, Vi, Wu, Wiにより各相用の u, Vi, Wu, Wi社形成してアクトブットコントロ ーラ30に供給し、このアクトプットコントローラ30 が、上記駆動発圧Uu, Ui. Vu, Vi, Wu, Wi 町10に供給する。上記ドライベ町10は、上記取動車 上層トランジスタ及び下層トランジスタがオンオフ制御 されることにより形成された顧勧衛圧U, V, Wにより (r) ~ (W) に示すような駆動電圧Uu, Ui, V 上記3相モータ1を回応駆動する。

れた同図 (f) に示すようなPWM in 信号 (PWM C イル1U, 1V, 1Wからは図19 (a) に示すような ち、上記逆起電圧Winを拡大してみると図19 (b) に 示すようになっている。そして、ダイレクトPWM駆動 V) もこれに応じて図19 (g) に示すように分断され [0160] 次に、このような通常回応時におけるPW M動作を説明すると、まず、上配3相モータ1の各相コ 逆起電圧Uin, Vin, Winがそれぞれ発生する。このう を行うと上記逆起車圧Winが、巡19(d)に示すSav Tave Timming信号と、同図(e)に示す館政(Sav Bav 9) 及び比較器4からの比較出力Verrにより形成さ arrier) により分断され、上記各逆起電圧Uin, Vin, Winが供給される比較器2からの比較出力W(及びU.

WM in 信号がオン状態のときには逆配質圧Win (及び Uin, Vin) があらわれ、PWM in 信号がオフ状態の ノベルまで落ち込む。このため、上記PWM in 信号が マイナスレベルに、また、コモン真圧COMはグランド オフ状態のときには逆起氧圧の検出が不可能となるので あるが、逆にいえば、これはPWM In 信号がオン状態 のときには逆起電圧の検出が可能であることを示してい [0161] ここで、上記図19 (c) に示すようにP ときには、W相協子遺圧(及びU相,V相協子尊圧)は

は、上述のようにPWM in 信号のパルス値が最小とな る位置で何別做分された<u>四1.3</u> (h) に示すようなイン クは上記PWM in 信号のオン区間に同期している。そ して、このインターナルクロックを用いて同図 (g) に 6に、このサングル田力を上記図1.1に示したW用ッジ [0162] そこで、上記タイミングコントローラ27 ターナルクロックを形成する。このインターナルクロッ 示す比較出力w (及びU, V) をサンプリングするとと スタ28k(及びU用レジスタ281,V用レジスタ2 8 ;) たサングルホールドした出力する。

1.9 (1) に示すような分断の生じていない田形の比較 出力W (W用レジスタ28kの出力Wress) を形成する ことができる。このため、PWM階級にも思わらず遊戯 V) が上記PWM in 信号により分断されていても、 [0163] これにより、上配比較出力W (及びU,

(22)

(3)

特別平8-223970

|気1:0] 上記ロジック部に放けられているデューが略 の回路図である。 |数11| 上記ロジック部に設けられている3フェーズ ロジック部の回路図である。 [炎] 2] 上記ロジック部に設けられているPLL回路

|登13| 上記ロジック部に設けられているタイミング コントローラのブロック図である。 のプロック図である。

明における逆起粒圧の検出タイミングを説明するための [三十] 本実施例に係るモーク駆動装置のPWM制御 タイムチャートである。

|送しち| 本実施例に係るモータ駆動装置の貫通電流防 止動作を以明するためのタイムチャートである。

|図16| 本実施例に係るモーク駆動装置のショートプ レーキ及び逆方向通電ブレーキの切り換え動作を以明す

|巡して| 上記ロジック部に投けられているアウトプッ るためのタイムチャートである。

トコントローラの回路図である。

[図15] 本実施例に係るモーク駆動装置に設けられて いるドライベ部の回路図である。

[翌20] 本実括例に係るモータ駆動装置の通常回転か ら逆方向通程プレーキへの切り換え動作を説明するため [四10] 本実施的に係るモータ駆動装置の通常回転時 の P WM動作を収明するためのタイムチャートである。

|原21||本実施例に係るモータ駆動装備の逆方向通電 プレーキ時の動作を収明するためのタイムチャートであ

09144++

|翌22||本実施的に係るモータ駆動装置の逆方向通電 ブレーキ時の PWM動作を以明するためのタイムチャー

アフーキ母の共流人と及びショートアフーキ母の構造人 [担23] 本実施例に係るモータ駆動装置の逆方向通電 スを説明するためのドライベ部の簡略的な回路図であ 17.35.

Ē

Internet Cleek

[図25] 従来のモータ駆動装置に設けられているフィ |辺24| 従来のモータ駆動装置のプロック図である。 **ルタ回路及び比較器の回路図である。**

|33.2|| 従来のモータ駆動装置に設けられている電圧 |別26||従来のモータ駆動装置の通常回転時の動作技 男をするためのタイムチャートである。 気換回路の回路図である。ある。

|辺23|| 従来のモータ駆動装置に設けられているドラ (パ節の回路図である。ある。

(公2.9.] 従来のモータ駆動装置においてダイレクトP WM駆動ができない理由を説明するためのタイムチャー h 7 25.

[符号の限明]

1 3相モータ

1U, 1V, 1W 各相コイル

- ロモンの圧強子

比较器

胚質構造回路

光数器

報分回路の一部を形成する抵抗

復分回路の一部を形成するコンデンサ

PWM回路

ロシック田

10 ドライベ部

具有被扭构技

Exor回路

20

エッジディケック マスク回路

タイムディアイ語

23

24 スタータ部

PLに回路

26 オシアータ

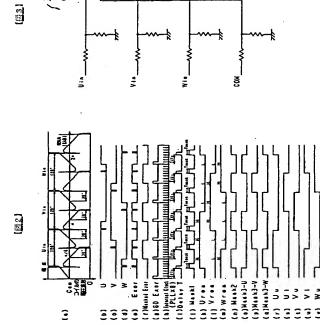
タイペングコントローラ

3フェーズロジック部

30 アクトプットコントローラ デコーが部

386

Š 1 100 10 FULL WAVE Win COMPARATOR Voentrol

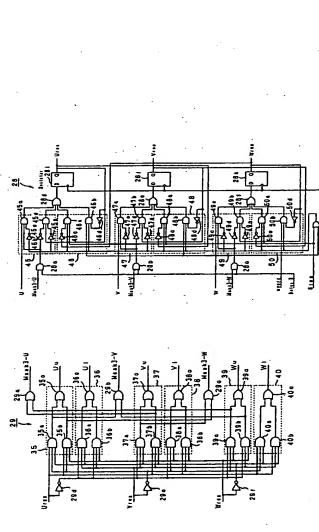


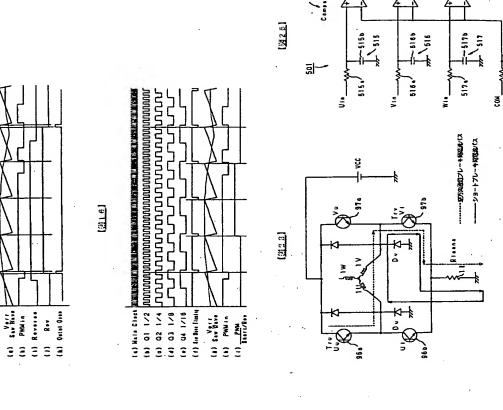
(4) Mais Ciock indicational incremental instrumental and

(o t 🔤

(a) 01 1/2 [(b) 02 1/4 (c) 03 1/8 (c) 04 1/16 (c) (d) 1/16 (d) (d) 1/16 (d)

(<u>@</u>10)





64) Q3 1/8

16) 01 1/2 (e) 02 1/4 (*) 04 1/16 (1) Say Bare (h) freehelled

(1) is her hear

(1) Invent flet

(1) Pilon

(4) PWMIn

PWMos